

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-211105

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H04B 3/20

H04B 3/03

H04Q 3/42

(21)Application number : 2000-357073

(71)Applicant : ALCATEL

(22)Date of filing : 24.11.2000

(72)Inventor : VANDERBAUWHEDE WIM  
BOXHO JEAN  
MACQ DAMIEN LUC FRANCOIS

(30)Priority

Priority number : 1999 99403062 Priority date : 06.12.1999 Priority country : EP

(54) METHOD AND DEVICE FOR ECHO CANCELATION

(57)Abstract:

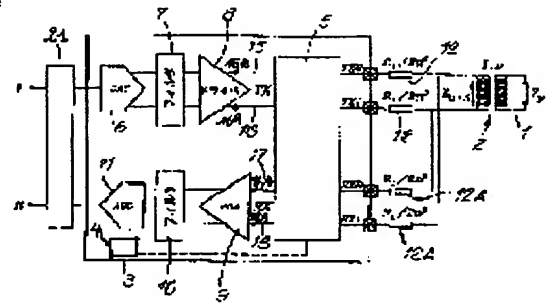
**PROBLEM TO BE SOLVED:** To provide a method and a device for echo cancellation of a communication line system.**SOLUTION:** The echo cancellation of the communication line system, specially, an ISDN or XDSL system is carried out by an adjustable hybrid circuit 5 which is united to an analog part of a front end 3 and has an adjustable passive element and the value of the adjustable passive element is controlled by a digital control means 4 such as a microprocessor.

Fig.1

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's  
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 4 B 3/20		H 0 4 B 3/20	
3/03		3/03	B
H 0 4 Q 3/42	1 0 4	H 0 4 Q 3/42	1 0 4

審査請求 未請求 請求項の数15 OL 外国語出願 (全 21 頁)

(21)出願番号 特願2000-357073(P2000-357073)

(22)出願日 平成12年11月24日(2000. 11. 24)

(31)優先権主張番号 99403062.5

(32)優先日 平成11年12月6日(1999.12.6)

(33)優先權主張國 歐洲特許庁 (EP)

(71) 出願人 391030332

アルカテル

フランス国、75008 パリ、リュ・ラ・ポ  
エティ 54

(72)発明者 ウィム・ファンデルパウウェーデ

ベルギー国、ペー-9000・ヘント、ヘルト  
ストラート・2・アー

(72)発明者 ジャン・ボクソ

ベルギー国、ペー1200・ポリュベ・サン  
ランペール、リュ・ジャツク・オトン・  
12・2・エタージユ

(74) 代理人 100062007

弁理士 川口 義雄 (外2名)

[最終頁に続く](#)

(54)【発明の名称】 エコー消去のための方法および装置

(57) 【要約】

【課題】 通信回線システムにおけるエコー消去のための方法および装置を提供すること。

【解決方法】 通信回線システム、特にISDNまたはXDSLシステムにおけるエコー消去が、フロントエンド3のアナログ部分に統合された、調整可能受動エレメントを有する調整可能混成回路5によって実施され、調整可能受動エレメントの値が、たとえばマイクロプロセッサのようなデジタル制御手段4によって制御される。

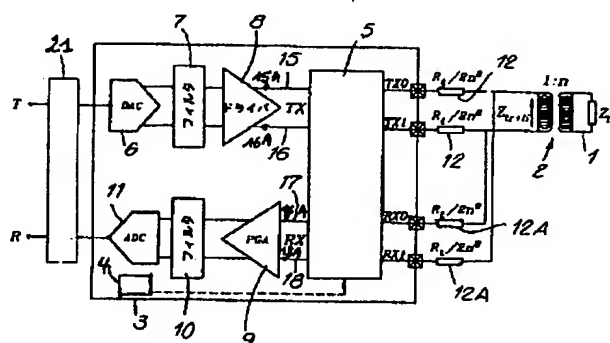


Fig. 1

## 【特許請求の範囲】

【請求項1】 通信回線システムにおけるエコー消去の方法であって、前記通信回線システムのアナログフロントエンドの一部分を形成する混成回路(5)の調整可能受動エレメントを適応させることにより前記方法が実施され、前記調整可能受動エレメントの値がデジタル制御手段(4)によって制御されることを特徴とする方法。

【請求項2】 前記調整可能受動エレメントの適応に基準化係数(k)が用いられることを特徴とする請求項1に記載の方法。

【請求項3】 前記調整可能受動エレメントを適応させることが前記混成回路(5)におけるTX反射減衰利得を測定するステップを含み、TX反射減衰利得がゼロと異なるとき、前記TX反射減衰利得のこのゼロ値が得られるまで、前記デジタル制御手段(4)が前記調整可能受動エレメントの適応ループを行うことを特徴とする請求項1に記載の方法。

【請求項4】 前記混成回路(5)が2つのブランチ(19)を備えた混成回路内ブリッジ(13)を有し、前記2つのブランチの各々が直列な2つの調整可能受動インピーダンス( $Z_2$ および $Z_3$ )を有し、調整可能受動インピーダンスの一方が調整可能平衡インピーダンス( $Z_0$ )であり、前記調整可能平衡インピーダンス( $Z_0$ )の値が、TX経路における回線終端抵抗( $2R_1/2n^2$ )および前記回線インピーダンス( $Z_{in+1}$ )からなる並列回路の基準化されたインピーダンス値にできるだけ近似するように前記調整可能受動インピーダンスが調整されることを特徴とする請求項2および3に記載の方法。

【請求項5】 フィードバックインピーダンス( $Z_{fb}$ )が前記調整可能平衡インピーダンス( $Z_0$ )に等くなるように構成された電流/電圧変換器(14)を前記混成回路(5)が含むことを特徴とする請求項4に記載の方法。

【請求項6】 通信回線システムにおけるエコー消去のための装置であって、前記通信回線システムのアナログフロントエンドの一部分である混成回路(5)を有し、該混成回路(5)が調整可能受動エレメントを備え、調節可能受動エレメントの値が、前記混成回路(5)に結合されやはり前記装置に含まれるデジタル制御手段(4)によって制御可能であることを特徴とする装置。

【請求項7】 前記混成回路(5)の前記調整可能受動エレメントが事前決定された基準化係数(k)によって基準化可能であることを特徴とする請求項6に記載の装置。

【請求項8】 前記混成回路(5)が混成回路内ブリッジ(13)および電流/電圧変換器(14)を有することを特徴とする請求項6に記載の装置。

【請求項9】 前記混成回路内ブリッジ(13)が2つの同じブランチ(19)を有し、該2つのブランチの各々が次位調整可能インピーダンス( $Z_2$ )と直列な調整可能平衡インピーダンス( $Z_0$ )を持つことを特徴とする請求項8に記載の装置。

【請求項10】 前記調整可能平衡インピーダンス( $Z_0$ )が、調整可能抵抗器( $R_1$ )および調整可能コンデンサ( $C_1$ )の直列接続体と並列でありかつ別の抵抗器( $R_3$ )とも並列である調整可能抵抗器( $R_0$ )を有することを特徴とする請求項9に記載の装置。

【請求項11】 前記別の抵抗器( $R_3$ )が前記基準化係数(k)を用いて基準化された前記TX経路における前記回線終端抵抗器(12)と同じ抵抗値( $2kR_1/2n^2$ )を持つことを特徴とする請求項10に記載の装置。

【請求項12】 各ブランチ(19)における前記次位調整可能インピーダンス( $Z_2$ )が調整可能コンデンサ( $C_2$ )と直列な抵抗器( $R_2$ )を有し、前記抵抗器( $R_2$ )の値( $2kR_1/2n^2$ )が前記基準化係数(k)を用いて基準化された前記TX経路における前記回線終端抵抗器(12)の抵抗値と同じであることを特徴とする請求項9に記載の装置。

【請求項13】 前記電流/電圧変換器(14)が、前記調整可能平衡インピーダンス( $Z_0$ )と同じインピーダンス値を持つ調整可能フィードバックインピーダンス( $Z_{fb}$ )を備えた演算増幅器(20)を有することを特徴とする請求項9に記載の装置。

【請求項14】 前記デジタル制御手段がマイクロプロセッサ(4)を有することを特徴とする請求項6に記載の装置。

【請求項15】 前記調整可能受動エレメントが集積回路の一部分であることを特徴とする請求項6に記載の装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信回線システム、特にISDNと略称される統合サービスデジタルネットワーク、またはXDSLと略称されるデジタル加入者回線システムにおけるエコー消去のための方法に関する。

【0002】

【従来の技術】エコー消去は、通常、通信回線システムのアナログフロントエンドにおいて、さらに詳細には回線変圧器とアナログ/デジタルおよびデジタル/アナログ変換器の間において実施される。アナログフロントエンドは、2線回線とそれに結合されたデジタル送受信装置の間のインタフェースの一部分である。デジタルフィルタ技法によってエコー消去を実現することは知られている。

【0003】知られている別の方法はA/D変換器のデ

ジタル側におけるデジタル混成 (hybrid) インピーダンスの合成にある。

【0004】US-A-5, 287, 406にはこの種の方法が開示されている。反射エコー (return echo) を消去するためのデジタル平衡回路は2線/4線変換手段へ動作可能に接続される。ただし、エコー消去のためのこれらデジタル方法はRXおよびTX経路におけるアナログフロントエンド自体から発生する固有の非線形ひずみを十分に除去しない。

【0005】

【発明が解決しようとする課題】本発明はこの欠点の回避を可能にする方法を提供することを意図する。

【0006】

【課題を解決するための手段】本発明によれば、調整可能受動エレメントを有する混成回路 (hybrid) によってエコー消去が実施される。この場合、調整可能受動エレメントの値はデジタル制御手段によって適応され制御されるように構成される。

【0007】調整はアナログであるが制御はデジタルである。適応的なエコー消去はあらゆるデジタル処理以前に達成されるので、デジタルエコー消去と対照的に、適応的なエコー消去は、受信および送信された信号のSN比を改善し、アナログフロントエンドに起因する前述の非線形歪み問題を改善する。用語「有する」は、ここでは限定的でないものと解釈されなければならない。

【0008】調整可能受動エレメントに関しては、たとえば集積回路上で実行可能であるように、基準化 (scaling) 係数を用いることが好ましい。

【0009】受動エレメントの適応は混成回路におけるTX反射減衰利得 (return loss gain) の評価を含むことによって、この利得がゼロと異なるときには、デジタル制御手段は、利得のこのゼロ値が得られるまで、調整可能受動エレメント適応ループを行う。

【0010】本発明による、特に前述の方法に適する装置には、通信回線システムのアナログフロントエンドに統合された混成回路を有し、該混成回路は調整可能受動エレメントを有し、これらエレメントの値は制御可能であり、調整可能受動エレメントを制御するために混成回路に結合されたデジタル制御手段を有する。

【0011】受動エレメントはチップ上に取り付けが可能であり、それによって、この装置のコスト効果的な実現を可能にする。混成回路は混成回路内ブリッジおよび電流/電圧変換器を含んでもよい。

【0012】混成回路内ブリッジは2の同じブランチ (分岐部) を含む。この場合、各ブランチは2つの直列インピーダンスを含み、その1つは調整可能平衡インピーダンスである。

【0013】デジタル制御手段はマイクロプロセッサを含むことができる。次に、添付図面を参照しながら、例として本発明について説明する。

【0014】

【発明の実施の形態】図1は、一方におけるISDNまたはXDSLネットワークのインピーダンス $Z_{in}$ を持つ2線回線1と、他方におけるたとえばモデムからのデジタル送信および受信装置21の端子TおよびRとの間のインタフェースを示す。

【0015】このインタフェースは、基本的に、このデジタル送受信装置21の端子TおよびRに接続されるフロントエンド3の4つの接続ピンTX0、TX1、RX0、RX1へ接続される変圧比1:nの線路変圧器2を有する。このフロントエンド3に、混成回路5、およびたとえばマイクロプロセッサのようなデジタル制御手段4を含むエコーキャンセラが統合される。

【0016】送信すなわち送る方向 (TX方向) においては、デジタル/アナログ変換器6、フィルタ7、およびドライバ8は混成回路5の前に設置され、他方、受信すなわちRX方向においては、この混成回路5には、一定出力電力を保証するプログラマブル利得増幅器9、フィルタ10、およびアナログ/デジタル変換器11が続く。TX方向において、ピンTX0とTX1は回線終端抵抗器12を介して変圧器2に結合される。これらは、混成回路およびアナログフロントエンドにおける電力散逸を制限する保護抵抗器であり、抵抗値は $R_0/2n^2$ である。ここに、nは既に述べた変圧器2の比率である。

【0017】 $R_0$ の一般的な抵抗値は50オームである。

【0018】ピンRX0およびRX1は、前述した抵抗値と同じ値の回線終端抵抗器12Aを介して変圧器2に結合される。

【0019】図2に示すように、場合によっては集積回路として実現される混成回路5は混成回路内ブリッジ13および電流/電圧変換器14によって構成される。

【0020】混成回路内ブリッジ13は、ドライバ8の出力端子15Aおよび16Aを出発点とするTX経路15および16と、プログラマブル利得増幅器9の入力端子17Aおよび18Aにおいて成端するRX経路17および18とを組み合わせ、これらの端子15A、16A、17A、18Aを接続ピンTX0、TX1、RX1、RX0にそれぞれ接続する。

【0021】この混成回路内ブリッジ13は、ドライバ8の出力側における15Aおよび16Aを接続ピンRX0およびRX1に結合する2つの同じブランチ (分岐部) 19を含み、各ブランチ19は2つの直列インピーダンス、すなわち平衡インピーダンス $Z_0$ とインピーダンス $Z_2$ を含む。

【0022】一方のブランチ19のインピーダンス $Z_2$ は端子15Aと平衡インピーダンス $Z_0$ の間に直列に設置され、この平衡インピーダンスのもう一方の端子は接続ピンRX0に結合される。

10

20

30

40

50

【0023】もう一方のブランチ19のインピーダンス $Z_2$ は、端子16Aと、これと直列接続された平衡インピーダンス $Z_b$ の間に設置され、この平衡インピーダンスのもう一方の端子は接続ピンRX1へ結合される。

【0024】インピーダンス $Z_2$ およびインピーダンス $Z_b$ は、たとえば抵抗器、コンデンサ、またはインダクタのような、調整可能かつマイクロプロセッサ4によって制御可能な受動エレメントを含む。これらのエレメントを調整する方法についてはさらに考察することとする。

【0025】さらに、インピーダンス $Z_2$ および $Z_b$ の受動エレメントの値に関して、これらのインピーダンスがたとえばオンチップで実現可能になるように基準化係数 $k$ が用いられる。この基準化係数のための値は、たとえば100または1000である。

【0026】図3に詳細に示すように、各平衡インピーダンス $Z_b$ は、調整可能抵抗器 $R$ 。およびこれと並列配置された調整可能抵抗器 $R_1$ と調整可能コンデンサ $C_1$ の直列接続体、および、この回路と並列配置された別の必ずしも調整可能であることを必要とすることなく値 $2kR_1/2n^2$ に基準化され得る抵抗器 $R_3$ を含む。ここに $k$ は前記基準化係数である。値 $2kR_1/2n^2$ は、すでに考察済みの回線終端抵抗器12および12Aの値が対応する。

【0027】一実施形態において、調整可能抵抗器 $R$ 。と $R_1$ および調整可能コンデンサ $C_1$ は、それぞれの直列接続されたいくつかの小さい離散型抵抗器および並列接続されたコンデンサから成る。抵抗値またはキャパシタンス値の離散制御を可能にするため、小さい抵抗器またはコンデンサを接続または切断するマイクロプロセッサ4の制御レジスタによって調整が実施される。

【0028】各ブランチにおけるもう一方のインピーダンス $Z_2$ は、調整可能コンデンサ $C_2$ と直列配置された、必ずしも調整可能である必要のない抵抗器 $R_2$ からなる。抵抗器 $R_2$ の抵抗値は抵抗器 $R_3$ と同じであり、したがって、同様に値 $2kR_1/2n^2$ に基準化可能である。このコンデンサは変圧器2のインダクタンスを補償する。

【0029】一実施形態において、調整可能コンデンサ $C_2$ は、並列配置されたいくつかの小さい離散型コンデンサから成り、マイクロプロセッサ4の制御レジスタは、キャパシタンスの離散制御すなわち調整を可能にするように、小さいコンデンサを接続または切断する。

【0030】電流/電圧変換器14は、演算増幅器20、および各々がインピーダンス $Z_b$ と同じ構成であり、したがって同じ受動エレメントである2つの調整可能フィードバックインピーダンス $Z_{fb}$ から成る。

【0031】混成回路の利得(hybrid gain)を所定の設定または周波数から独立させるためには、このような場合に電流/電圧変換器14が利得1の差動増幅器とし

て作用するので、電流/電圧変換器14へのフィードバックインピーダンス $Z_{fb}$ も $Z_b$ に等しくなるように調整される。

【0032】電流/電圧変換器14の出力における電圧 $V_{hyb}$ に対するピン接続部RX0とRX1の間の電圧 $V_{rx}$ から得られる利得 $G_{rx}$ は次のように表される。

【0033】

$G_{rx} = V_{hyb} / V_{rx}$  これは次式に等価である：  
 $G_{rx} = -Z_{fb} / Z_b$  (ここは、 $Z_{fb} = Z_b$ であれば、1である)。

【0034】混成回路内ブリッジ13は両方向、すなわち送信と受信の両方で動作する。送信すなわちTX方向において、混成回路内ブリッジ13は、経路15および16の端子15Aおよび16Aの間の電圧信号 $V_{tx}$ をTXドライバ8から受け取り、それを接続ピンTX0およびTX1に直接送信する。

【0035】受信すなわちRX方向において、回線1から着信する電圧信号はまず変圧器2によって図1に示すように接続ピンRX0とRX1の間の電圧に変換される。

【0036】結果としてインピーダンス $Z_b$ を流れる電流は、電流/電圧変換器14における電圧 $V_{hyb}$ に変換される。プログラマブル利得増幅器(PGA)9は、 $V_{tx}$ から $V_{hyb}$ への利得であって1に減少される総利得 $G_{txx}$ を導く、その前の経路における利得を補償するように動作する。 $V_{tx}$ は、図2および3において鎖線で示された等価回路における回線1と変圧器2の等価インピーダンス $Z_{t,rx}$ と直列である等価回線電圧源21の電圧であり、 $V_{hyb}$ は電流/電圧変換器14の出力における電圧である。

【0037】当業者は、この総利得 $G_{txx}$ が次のように導かれ得ることを理解するはずである：

$G_{txx} = V_{hyb} / V_{tx}$ 、すなわち  
 $G_{txx} = Z_{fb} * (R_1 / 2n^2) / [Z_b * (R_1 / 2n^2) + R_1 / 2n^2 + Z_b] * Z_{t,rx} / 2]$   
 $G_{txx} = Z_{fb} / Z_b * (R_1 / 2n^2) / (R_1 / 2n^2 + Z_{t,rx} / 2)$

この利得 $G_{txx}$ はエコー消去によって影響されない。

【0038】実際には混成回路内ブリッジ13は差動インピーダンスブリッジであるので、当業者は、ブリッジが平衡している時に最良の反射減衰量が得られることを知っているはずである。

【0039】ブリッジが平衡しているときは、今後 $G_{tx,rx}$ で表すTX反射減衰利得はゼロに等しい。

【0040】したがって、システムの初期化に際して、このTX反射減衰利得は後で示すように評価される。

【0041】当業者は、 $V_{tx}$ から $V_{hyb}$ への利得であるTX反射減衰利得 $G_{tx,rx}$ の評価は、 $V_{tx}$ が端子15Aと16Aに印加された既知電圧であるとすれば、次式から得られることを容易に導き得るはずであ

る：

TX反射減衰利得：

$$G_{txr1} = V_{hyb} / V_{ix}$$

$$G_{txr1} = Z_b / Z_2 * [Z_2 - Z_b - (R_1 / 2n^2) * (Z_{tr+1} + 2Z_b) / Z_{tr+1} + 2Z_b] / [Z_2 * ((R_1 / 2n^2) * (Z_{tr+1} + 2Z_b) / Z_{tr+1} + Z_b)]$$

次の条件が満足された時に、TX反射減衰利得  $G_{txr1}$  はゼロに等しい： $Z_b$  は次式に等しくなくてはならない：

$$k Z_{tr+1} * (Z_2 - R_1 / 2n^2) / (k Z_{tr+1} + 2k R_1 / 2n^2)$$

ここに  $k$  は基準化係数である。

【0042】次のように  $k$  が選定された場合：

$Z_2 - R_1 / 2n^2 = k * 2 R_1 / 2n^2$  これは次式と等価である：

$$Z_2 = (2k + 1) R_1 / 2n^2$$

$Z_b$  は  $Z_b = [1 / k Z_{tr+1} + 1 / k (2 R_1 / 2n^2)]^{-1}$  に減少する。

【0043】このように、平衡インピーダンス  $Z_b$  は、基準化された回線に並列の基準化された終端抵抗値  $2k R_1 / 2n^2$  および変圧器インピーダンス値  $k Z_{tr+1}$  の組合わせに出来る限り近似させられなければならない。このとき、混成回路内ブリッジは均衡状態にあり、すでに述べたように最良反射減衰量を与える。実際には、混成回路TX反射減衰利得  $G_{txr1}$  は、測定された電圧  $V_{hyb}$  のデジタル化された値および  $V_{ix}$  のデジタル化された既知の値からマイクロプロセッサ4によって算定される。

【0044】混成回路TX反射減衰利得  $G_{txr1}$  がゼロと異なれば、マイクロプロセッサは、混成回路5内の調整可能受動エレメントを調整し、ゼロ値が得られるまで適応ループを行う。適応が終了した後は、調整可能受動エレメント  $R_1$ 、 $C_1$ 、および  $C_2$  はそれらの最適値に到達している。

【0045】この適応ループに関しては、たとえば「最

急降下 (steepest decent)」アルゴリズムのような専用適合アルゴリズムが用いられる。この最急降下アルゴリズムを用いると、マイクロプロセッサ4は、種々異なる調整可能受動エレメントの値を正および負のインクリメントによって連続的に変化させ、それが電圧  $V_{hyb}$  におよぼす影響がチェックされ、当該エレメントは、最終的に、 $V_{hyb} / V_{ix}$  の減少に帰着する方向に変えられる。これは、TX反射減衰利得  $G_{txr1}$  である電圧比  $V_{hyb} / V_{ix}$  がそれ以上低下しなくなるまで繰り返される。

【0046】一実施形態において、特にXDSSLへの応用に関して、抵抗器  $R_0$  は28から896キロオームの間、抵抗器  $R_1$  は15から240キロオームの間、コンデンサ  $C_1$  は7.5から120pFの間、コンデンサ  $C_2$  は240から390pFの間の値に調整可能である。

【図面の簡単な説明】

【図1】通信回線システムにおける、回線と送受信装置の端子の間のインタフェースの構成図である。

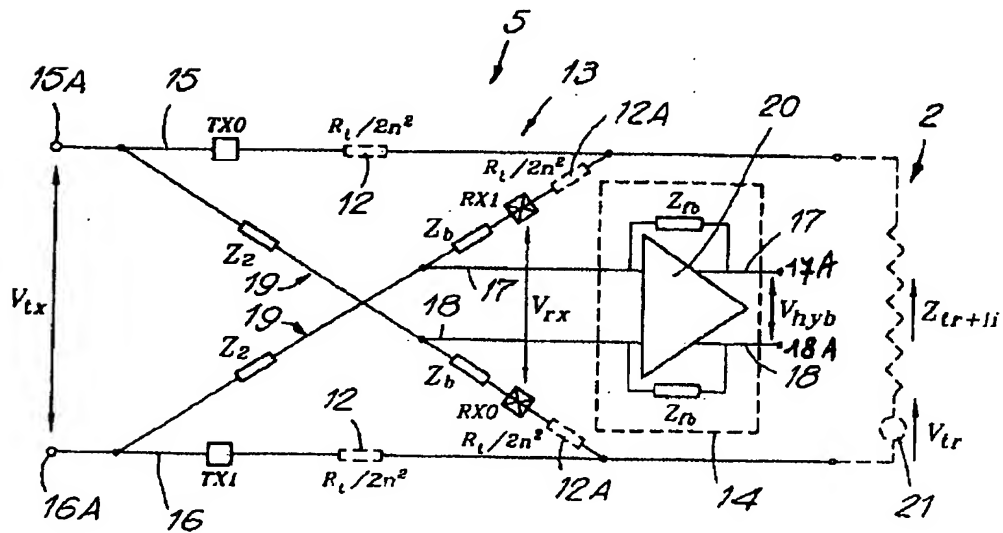
【図2】図1のインタフェースのエコーキャンセラの概略図である。

【図3】図2のエコーキャンセラのアーキテクチャの詳細図である。

【符号の説明】

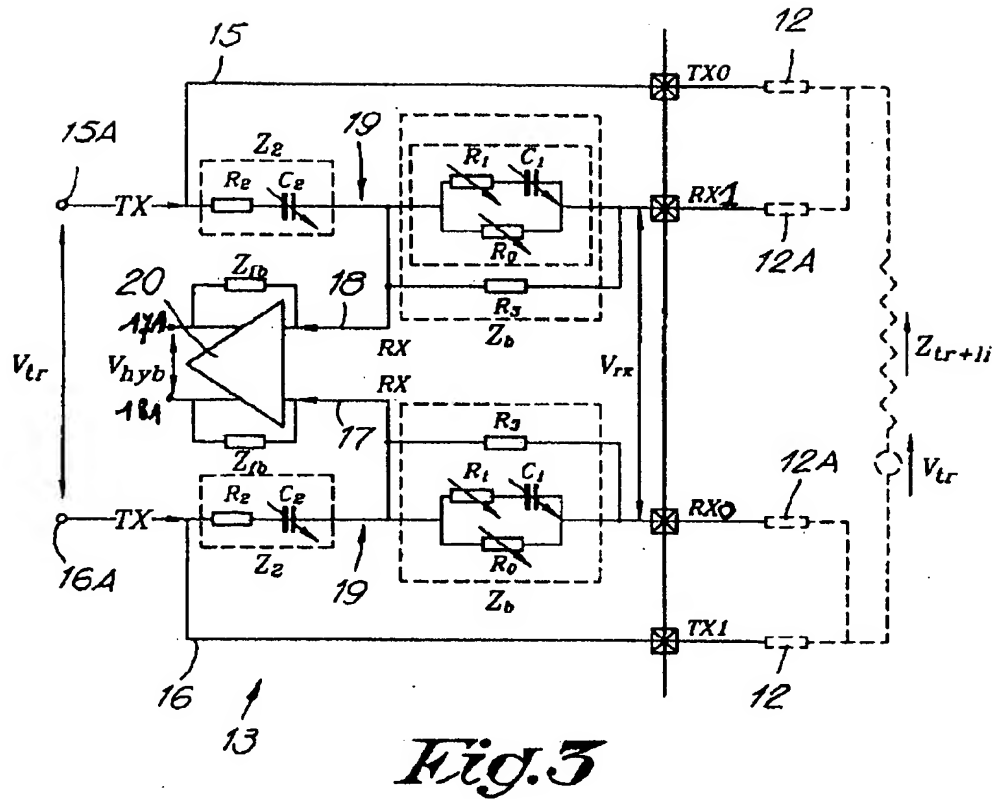
- 1 2線回線
- 2 回線変圧器
- 3 フロントエンド
- 4 デジタル制御手段
- 5 混成回路
- 6 D/A変換器
- 7 フィルタ
- 8 ドライバ
- 9 プログラマブル利得増幅器
- 13 混成回路内ブリッジ
- 14 電流/電圧変換器
- 19 ブランチ
- 21 デジタル送受信装置

【图2】



*Fig. 2*

【図3】



フロントページの続き

(72)発明者 ダミアン・リュック・フランソワ・マツク  
 アメリカ合衆国、ノース・カロライナ・  
 27587、ウエイク・フォレスト、チムニ  
 ー・スウィフト・ドライブ・5636



## 【外国語明細書】

**1. Title of Invention****METHOD AND DEVICE FOR ECHO CANCELLING****2. Claims**

1.- Method for echo cancelling in a communication line system, characterised in that said method is performed by adapting tunable passive elements of a hybrid (5) which forms part of the analog front end of said communications line system, whereby the values of the tunable passive elements are controlled by digital control means (4).

2.- Method according to claim 1, characterised in that a scaling factor (k) is used for adapting said tunable passive elements.

3.- Method according to claim 1, characterised in that adapting said tunable passive elements comprises a step of measuring the TX return loss gain in said hybrid (5), whereby, when this gain differs from zero, the digital control means (4) goes through a loop of adaptation of the tunable passive elements until this zero value of said TX return loss gain is obtained.

4.- Method according to claims 2 and 3, characterised in that said hybrid (5) comprises a hybrid bridge (13) with two branches (19), each comprising two tunable passive impedances ( $Z_2$  and  $Z_b$ ) in series, one of which being a tunable balance impedance ( $Z_b$ ), said tunable passive impedances being tuned such that the value of said tunable balance impedance ( $Z_b$ ) approximates as close as possible the scaled impedance value of the parallel

circuit of the line termination resistance ( $2R_t/2n^2$ ) in the TX paths, and the line impedance ( $Z_{tr+li}$ ).

5.- Method according to claim 4, characterised in that said hybrid (5) comprises a current to voltage converter (14), the feedback impedances ( $Z_{fb}$ ) of which being adapted so as to be equal to said tunable balance impedance ( $Z_b$ ).

6.- Device for echo cancelling in a communication line system, characterised in that it comprises:

- a hybrid (5), being part of the analog front end of said communication line system, said hybrid (5) comprising tunable passive elements, the values of which are controllable, by a
- digital control means (4) coupled to said hybrid (5) and also included in said device.

7.- Device according to claim 6, characterised in that said tunable passive elements of said hybrid (5) are scalable by a predetermined scaling factor ( $k$ ).

8.- Device according to claim 6, characterised in that said hybrid (5) comprises a hybrid bridge (13) and a current to voltage converter (14).

9.- Device according to claim 8, characterised in that said hybrid bridge (13) comprises two identical branches (19), each comprising a tunable balance impedance ( $Z_b$ ) in series with a second tunable impedance ( $Z_2$ ).

10.- Device according to claim 9, characterised in that said tunable balance impedance ( $Z_b$ ) comprises a tunable resistor ( $R_0$ ), in parallel with a series connection of a tunable resistor ( $R_1$ ) and a tunable capacitor ( $C_1$ ), and in parallel with another resistor ( $R_3$ ).

11.- Device according to claim 10, characterised in that said another resistor ( $R_3$ ) has the same resistance value ( $2kR_t/2n^2$ ), as the line termination resistors (12) in the TX paths, scaled with said scaling factor ( $k$ ).

12.- Device according to claim 9, characterised in that said second tunable impedance ( $Z_2$ ) in each branch (19) comprises a resistor ( $R_2$ ) in series with a tunable capacitor ( $C_2$ ), the value ( $2kR_t/2n^2$ ) of said resistor ( $R_2$ ) being the same as the resistance value of said line termination resistors (12) in the TX paths, scaled with said scaling factor ( $k$ ).

13.- Device according to claim 9, characterised in that said current to voltage converter (14) comprises an operational amplifier (20) with tunable feedback impedances ( $Z_{fb}$ ) having the same impedance values as said tunable balance impedance ( $Z_b$ ).

14.- Device according to claim 6, characterised in that said digital control means comprises a microprocessor (4).

15.- Device according to claim 6, characterised in that said tunable passive elements are part of an integrated circuit.

### 3. Detailed Description of Invention

The invention concerns a method for echo cancelling in a communication line system, particularly an integrated services digital network, abbreviated with ISDN, or any digital subscriber line, abbreviated with XDSL, system. Echo cancelling is normally performed in the analog front end of the communication line system, more particularly in between the line transformer and the analog/digital and digital/analog converters. The analog front end is part of the interface between the two-wire line and the digital transmitting and receiving devices coupled to it. It is known to realise echo cancelling by means of digital filter techniques.

Another known method consists in the synthesis of a digital hybrid impedance at the digital side of the A/D converter.

US-A-5.287.406 discloses such method. A digital balancing circuit for cancelling a return echo is operatively connected to the two-wire/four-wire conversion means.

These digital methods for echo cancelling can however not sufficiently remove inherent non-linear distortion originating within the analog front end itself in the RX and TX paths.

The invention seeks to provide a method permitting to avoid this drawback.

According to the invention, echo cancelling is performed by means of a hybrid which comprises tunable passive elements whereby the values of the tunable passive

elements are adapted and controlled by digital control means.

The tuning is analog but the control is digital. As the adaptive echo cancelling is achieved before any digital processing, it improves, in contrast to digital echo cancelling, the signal-to-noise ratio of the received and transmitted signals, and remedies the aforementioned non-linear distortion problems from the analog front end.

The term "comprise" has to be interpreted here as being non limitative.

Preferably a scaling factor is used for the tunable passive elements, for instance to permit an implementation on an integrated circuit.

The adaptation of the passive elements comprise the evaluation of the TX return loss gain in the hybrid, whereby the digital control means goes through a loop of adaptation of the tunable passive elements when this gain differs from zero, until this zero value of the gain is obtained.

The device according to the invention and particularly suitable to perform the above mentioned method comprises:

- a hybrid, integrated in the analog front end of the communication line system, said hybrid comprising tunable passive elements, the values of which are controllable, and
- digital control means coupled to the hybrid for controlling the tunable passive elements.

The passive elements may be mounted on-chip thereby enabling a cost effective implementation of this device.

The hybrid may comprise a hybrid bridge and a current to voltage converter.

The hybrid bridge may comprise two identical branches, each containing two impedances in series, one being a tunable balance impedance.

The digital control means may comprise a microprocessor. The invention will now be described by way of example and with reference to the accompanying drawings.

Figure 1 shows the interface between the two-wire line 1 with impedance  $Z_{11}$  of an ISDN or XDSL network, on the one hand, and the terminals T and R of a digital transmitting and receiving device 21, for instance from a modem, on the other hand.

This interface comprises essentially a line transformer 2 with a transformer ratio 1:n, connected to the four connection pins TX0, TX1, RX0 and RX1 of the front end 3, which front end 3 is connected to the terminals T and R of this digital transmitting and receiving device 21.

In this front end 3 is integrated an echo canceller including a hybrid 5 and a digital control means 4, for instance a microprocessor.

In the transmitting or sending direction (TX direction), a digital/analog converter 6, a filter 7 and a driver 8 are mounted before the hybrid 5, while in the receiving

or RX direction, this hybrid 5 is followed by a programmable gain amplifier 9 assuring a constant output power, a filter 10 and an analog to digital converter 11. In the TX direction, the pins TX0 and TX1 are coupled to the transformer 2 via line termination resistors 12. These are protection resistors limiting the power dissipation in the hybrid and analog front end, and having the resistance value  $R_t/2n^2$ , wherein  $n$  is the above mentioned ratio of the transformer 2.

A typical resistance value of  $R_t$  is 50 Ohm.

The pins RX0 and RX1 are coupled to the transformer 2 via line termination resistors 12A having the same above mentioned resistance value.

As shown in figure 2, the hybrid 5, possibly implemented as an integrated circuit, is composed of a hybrid bridge 13 and a current to voltage converter 14.

The hybrid bridge 13 combines the TX paths 15 and 16 starting from the output terminals 15A and 16A of driver 8, and the RX paths 17 and 18 terminating at the input terminals 17A and 18A of the programmable gain amplifier 9, and connects these terminals 15A, 16A, 17A and 18A to connection pins TX0, TX1, RX1 and RX0 respectively.

This hybrid bridge 13 contains two identical branches 19 coupling terminals 15A and 16A at the output side of the driver 8 with the connection pins RX0 and RX1, each branch 19 containing two impedances in series: balance impedance  $Z_b$  and impedance  $Z_2$ .

The impedance  $Z_2$  in one of the branches 19 is mounted between terminal 15A and the balance impedance  $Z_b$  in series, another terminal of this balance impedance being coupled to connection pin RX0.

The impedance  $Z_2$  in the other branch 19 is mounted between terminal 16A and the balance impedance  $Z_b$  in series with it, another terminal of this balance impedance being coupled to connection pin RX1.

Impedances  $Z_2$  and impedances  $Z_b$  comprise tunable passive elements such as resistors, capacitors or inductors, controllable by the microprocessor 4. How these elements are tuned will be discussed in a further paragraph.

Moreover, a scaling factor  $k$  is used for the values of the passive elements of the impedances  $Z_2$  and  $Z_b$  in such a way that these impedances can then for instance be implemented on-chip. Values for this scaling factor are for example 100 or 1000.

As shown in detail in figure 3, each balance impedance  $Z_b$  comprises a tunable resistor  $R_0$ , and, in parallel with this, a series connection of a tunable resistor  $R_1$  and a tunable capacitor  $C_1$ , and in parallel with this circuit another not necessarily tunable resistor  $R_3$  which may be scaled to value  $2kR_t/2n^2$ , wherein  $k$  is said scaling factor. The value  $2kR_t/2n^2$  corresponds to the value of the line termination resistors 12 and 12A discussed previously.

In one embodiment the tunable resistors  $R_0$  and  $R_1$  and the tunable capacitor  $C_1$  consist of a number of small discrete resistors in series, resp. capacitors in parallel. Tuning takes place by the control register of the microprocessor 4 connecting or disconnecting small resistors or capacitors so permitting a discrete controlling of the resistance or capacitance value.

The other impedance  $Z_2$  in each branch consists of a not necessarily tunable resistor  $R_2$  having the same



resistance value as the resistor  $R_3$ , which may thus also be scaled to value  $2kR_t/2n^2$ , in series with a tunable capacitor  $C_2$ . This capacitor compensates for the inductance of the transformer 2.

In one embodiment the tunable capacitor  $C_2$  consists of a number of small discrete capacitors in parallel and the control register of the microprocessor 4 connects or disconnects small capacitors so permitting a discrete controlling or tuning of the capacitance.

The current to voltage converter 14 consists of an operational amplifier 20 and two tunable feedback impedances  $Z_{fb}$  which have each the same configuration as impedances  $Z_b$  and thus the same passive elements.

In order to have a hybrid gain independent from the setting or frequencies, the feedback impedances  $Z_{fb}$  of the current to voltage converter 14 are also tuned to be equal to  $Z_b$  because in that case the current to voltage converter 14 acts as a differential amplifier with gain one.

The gain  $G_{rx}$ , being the gain from the voltage  $V_{rx}$  between the pin connections RX0 and RX1, to the voltage  $V_{hyb}$  at the output of the current to voltage converter 14 can be written as:

$$G_{rx} = V_{hyb}/V_{rx}, \text{ which is equivalent to:}$$

$$G_{rx} = - Z_{fb}/Z_b \text{ which is one if } Z_{fb} = Z_b.$$

The hybrid bridge 13 works in both directions, transmission and reception.

In the transmission or TX direction, the hybrid bridge 13 receives a voltage signal  $V_{tx}$  from the TX driver 8 between

terminals 15A and 16A of paths 15 and 16, and transmits it directly to the pins TX0 and TX1.

In the reception or RX direction, a voltage signal coming from line 1 is firstly transformed by the transformer 2 into a voltage between connection pins RX0 and RX1 as shown in figure 1.

The resulting current through impedance  $Z_b$  is converted to voltage  $V_{hyb}$  in the current to voltage converter 14.

The programmable gain amplifier (PGA) 9, is such that it compensates for the gain in the previous path, leading to a total gain  $G_{trx}$ , this is the gain from  $V_{tr}$  to  $V_{hyb}$ , being reduced to one.  $V_{tr}$  is the voltage over the equivalent line voltage source 21 in series with the equivalent impedance  $Z_{tr+li}$  of the line 1 and the transformer 2 in the equivalent circuit as indicated in dashed line in figures 2 and 3 and  $V_{hyb}$  is the voltage at the output of the current to voltage converter 14.

The man skilled in the art knows that this total gain  $G_{trx}$  can be deduced as follows:

$$G_{trx} = V_{hyb}/V_{tr}, \text{ this is:}$$

$$G_{trx} = Z_{fb} * (R_t/2n^2) / [Z_b(R_t/2n^2) + R_t/2n^2 + Z_b] * Z_{tr+li}/2]$$

$$G_{trx} = Z_{fb}/Z_b * (R_t/2n^2) / (R_t/2n^2 + Z_{tr+li}/2)$$

This gain  $G_{trx}$  is not influenced by the echo cancelling.

Because the hybrid bridge 13 is in fact a differential impedance bridge, it is known for the man skilled in the art that the best echo return loss is obtained when the bridge is in equilibrium.

When the bridge is in equilibrium, the TX return loss gain, denoted hereafter as  $G_{txrl}$ , is equal to zero.

Consequently, during initialisation of the system this TX return loss gain is evaluated as will be described hereafter.

A person skilled in the art can easily deduce that the evaluation of the TX return loss gain  $G_{txrl}$ , this is the gain from  $V_{tx}$  to  $V_{hyb}$  wherein  $V_{tx}$  is the known voltage applied to terminals 15A and 16A, can be obtained as follows:

TX return loss gain:

$$G_{txrl} = V_{hyb}/V_{tx}$$

$$G_{txrl} = Z_{tb}/Z_2 * [Z_2 - Z_b - (R_t/2n^2) * (Z_{tr+li} + 2Z_b) / Z_{tr+li}]$$

divided by

$$[Z_2 * ((R_t/2n^2) * (Z_{tr+li} + 2Z_b) / Z_{tr+li} + Z_b)]$$

The TX return loss gain  $G_{txrl}$  is equal to zero when the following condition is fulfilled:

$Z_b$  must be equal to:

$$kZ_{tr+li} * (Z_2 - R_t/2n^2) / (kZ_{tr+li} + 2kR_t/2n^2)$$

where  $k$  is the scaling factor.

If  $k$  is chosen such that

$$Z_2 - R_t/2n^2 = k 2R_t/2n^2 \text{ being equivalent to:}$$

$$Z_2 = (2k+1) R_t/2n^2, \text{ and}$$

$$Z_b \text{ reduces to: } Z_b = [1/kZ_{tr+li} + 1/k(2R_t/2n^2)]^{-1}$$

The balance impedance  $Z_b$  should thus approximate as close as possible the combination of the scaled termination resistance value  $2kR_t/2n^2$  in parallel with the scaled line and transformer impedance value  $kZ_{tr+li}$ . The hybrid bridge

is then in equilibrium and, as already mentioned, gives the best echo return loss.

In practice, the hybrid TX return loss gain  $G_{txrl}$  is calculated by the microprocessor 4 from the digitalised value of the measured voltage  $V_{hyb}$  and the digitalised known value of  $V_{tx}$ .

If the hybrid TX return loss gain  $G_{txrl}$  differs from zero, the microprocessor tunes the tunable passive elements in the hybrid 5 and goes through a loop of adaptation until the zero value is obtained. After the adaptation is finished, the tunable passive elements  $R_1$ ,  $C_1$  and  $C_2$  have reached their optimal value.

For this adaptation loop a dedicated fitting algorithm is used, for example the known "steepest descent" algorithm. With this steepest descent algorithm, the microprocessor 4 changes successively the value of the different tunable passive elements with a positive and a negative increment, the influence of thereof on the voltage  $V_{hyb}$ , is checked and the element is finally changed in the sense resulting in a decrease of  $V_{hyb}/V_{tx}$ . This is repeated until the voltage ratio  $V_{hyb}/V_{tx}$ , this is the TX return loss gain  $G_{txrl}$ , no longer decreases.

In one embodiment, particularly for xDSL applications, the resistor  $R_0$  can be tuned between values of 28 and 896 kOhm, the resistor  $R_1$  between values of 15 and 240 kOhm, the capacitor  $C_1$  between values of 7,5 and 120 pF and the capacitor  $C_2$  between values of 240 and 390 pF.

#### **4. Brief Description of Drawings**

Figure 1 shows a block diagram of the interface between the line and the terminals of a transmitting and receiving device in a communication line system. Figure 2 shows schematically the echo canceller from the interface of figure 1.

Figure 3 shows more in detail the architecture of the echo canceller of figure 2.

Fig. 1

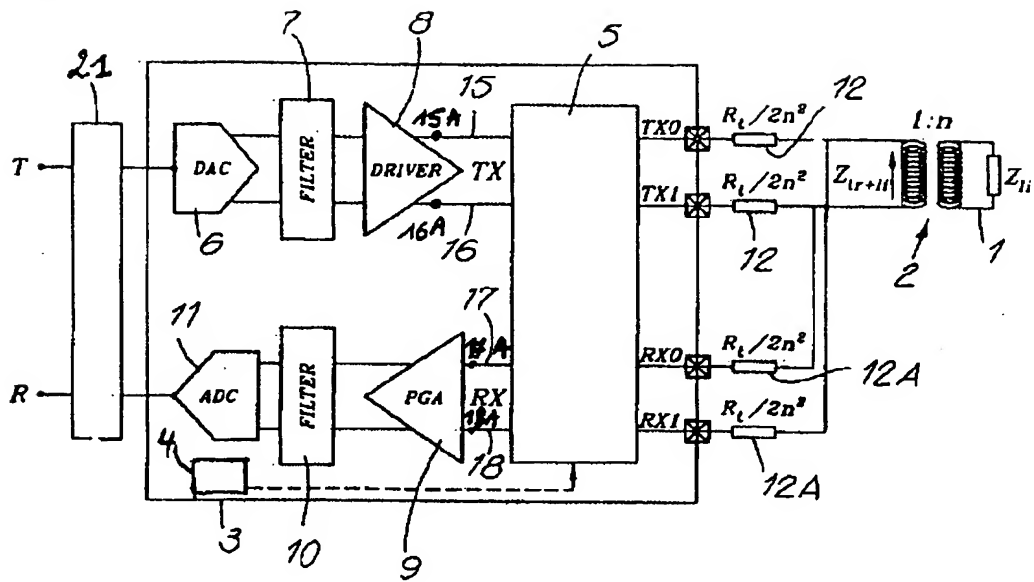


Fig. 1

Fig. 2

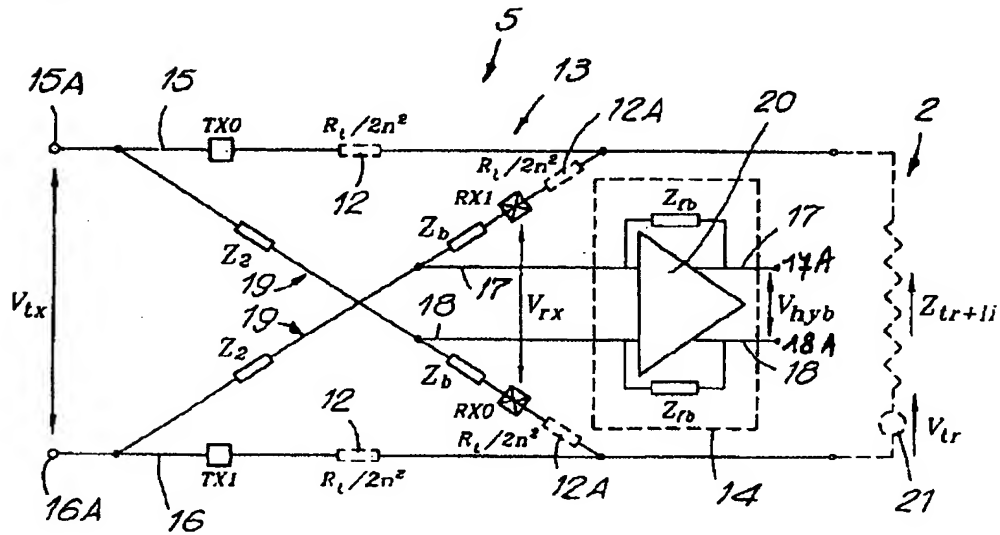


Fig. 2

Fig. 3

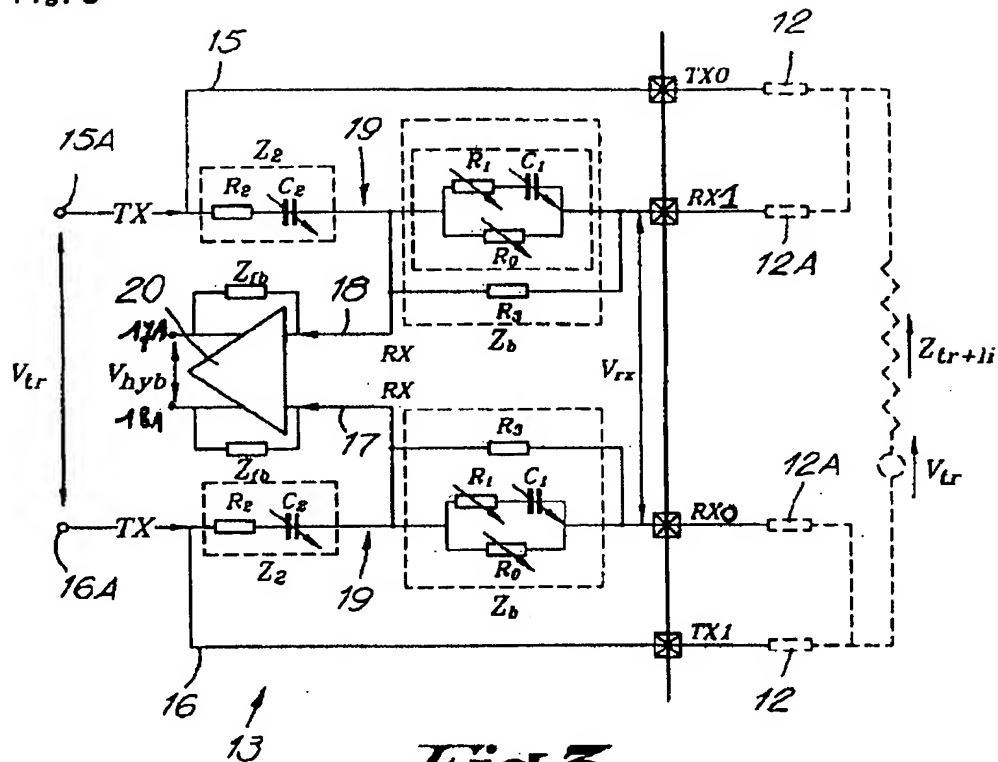


Fig.3

## 1. Abstract

Echo cancelling in a communication line system, particularly an ISDN or XDSL system, is performed by means of a tunable hybrid (5) which comprises tunable passive elements and is integrated in the analog part of the front end (3), whereby the values of the tunable passive elements are controlled by digital control means (4), for example a microprocessor.

## 2. Representative Drawing

Fig. 1